

【書類名】 明細書
 【発明の名称】 半導体装置及びその製造方法
 【特許請求の範囲】

【請求項 1】 一方導電型の不純物が導入された半導体領域と、
 前記半導体領域上に形成されるゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されるゲート電極と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物が打ち込まれて、前記半導体領域の主面から第 1 の深さまでの領域に形成される低濃度層と

、
 前記半導体領域内に前記第 1 のドーズ量以上 1×10^{15} 個/cm²以下の第 2 のドーズ量で他方導電型の第 2 の不純物が打ち込まれて、前記半導体領域の主面から前記第 1 の深さより浅い第 2 の深さまでの領域に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項 2】 一方導電型の不純物が導入された半導体領域と、
 前記半導体領域上に形成されるゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されるゲート電極と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物が打ち込まれて、前記半導体領域の主面から第 1 の深さまでの領域に形成される低濃度層と

、
 前記半導体領域内に第 2 のドーズ量で他方導電型の第 2 の不純物が打ち込まれて、濃度のピーク位置が前記第 1 の深さより $0.15 \mu\text{m}$ 以上浅い第 2 の深さの位置となるように、前記半導体領域の主面から深さ方向に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項 3】 一方導電型の不純物が導入された半導体領域と、
 前記半導体領域上に形成されるゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されるゲート電極と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物が打ち込まれて、前記半導体領域の主面から第 1 の深さまでの領域に形成される低濃度層と

、
 前記半導体領域内に前記第 1 のドーズ量以上 1×10^{15} 個/cm²以下の第 2 のドーズ量で他方導電型の第 2 の不純物が打ち込まれて、濃度のピーク位置が前記第 1 の深さより $0.15 \mu\text{m}$ 以上浅い第 2 の深さの位置となるように、前記半導体領域の主面から深さ方向に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項 4】 前記一方導電型は、N型で、

他方導電型は、P型であることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 2 の不純物は、ヒ素であることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記半導体領域を素子分離するトレンチ構造を有することを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

一方導電型の不純物が導入して半導体領域を形成する工程と、
前記半導体領域上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物を打ち込み、
前記半導体領域の主面から第 1 の深さまでの領域に低濃度層を形成する工程と、
、

前記半導体領域内に前記第 1 のドーズ量以上 1×10^{15} 個/cm²以下の第 2 のドーズ量で他方導電型の第 2 の不純物を打ち込み、前記半導体領域の主面から前記第 1 の深さより浅い第 2 の深さまでの領域に高濃度層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 8】

一方導電型の不純物が導入して半導体領域を形成する工程と、
前記半導体領域上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物を打ち込み、
前記半導体領域の主面から第 1 の深さまでの領域に低濃度層を形成する工程と、
、

前記半導体領域内に第 2 のドーズ量で他方導電型の第 2 の不純物を打ち込み、濃度のピーク位置が前記第 1 の深さより $0.15 \mu\text{m}$ 以上浅い第 2 の深さの位置となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 9】

一方導電型の不純物が導入して半導体領域を形成する工程と、
前記半導体領域上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体領域内に第 1 のドーズ量で他方導電型の第 1 の不純物を打ち込み、
前記半導体領域の主面から第 1 の深さまでの領域に低濃度層を形成する工程と、
、

前記半導体領域内に前記第 1 のドーズ量以上 1×10^{15} 個/cm²以下の第 2 のドーズ量で他方導電型の第 2 の不純物を打ち込み、濃度のピーク位置が前

記第1の深さより0.15 μm 以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項10】 一方導電型の不純物が導入された半導体領域と、
前記半導体領域上に形成されるゲート絶縁膜と、
前記ゲート絶縁膜上に形成されるゲート電極と、

前記半導体領域内に 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて形成される高濃度層とを具備したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSトランジスタに好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来、MOSトランジスタとしては、以下に示す製造方法が知られている。NチャネルMOSトランジスタを例にとり、その構造及び製造方法を図13を参照して簡単に説明する。

【0003】

キャリア密度 2×10^{15} / cm^3 のn型のシリコン基板301に、キャリア密度 3×10^{16} / cm^3 の P^- WELL領域302を形成する。次に、チャネルドープとしてボロンイオンを打ち込み、20nmのゲート酸化膜303を熱酸化法により形成する。次に400nmの燐ドープされたポリシリコンをCVD (Chemical Vapor Deposition) 法により堆積する。次に、通常の写真リソグラフィ行程とドライエッチング行程によりゲート領域304を形成する。次に、Nch用には燐イオン注入工程を行い、自己整合的にLDD領域305を形成する(図13(a))。

【0004】

次に、CVD法により酸化膜を形成した後、異方性の高いドライエッチング工程を行う。CVD法を用いることで等方性の高い酸化膜を形成し、異方性の高いドライエッチング法を用いることでポリシリコンの両脇にのみ酸化膜を残存させて、サイドウォール領域306を形成する(図13(b))。

【0005】

そして、次に燐をドーズ量 5×10^{15} 個/ cm^2 程度打ち込み、ソース/ド

レイン領域307を形成する。また、この領域は、不純物を高濃度に含有するため比抵抗が低くなっているため、各素子間を結ぶ配線としても使用されている。

【0006】

最後に、打ち込んだ不純物を活性化するためのランプアニール処理を行い、NチャネルMOSトランジスタが形成される(図13(c))。

【0007】

以上NチャネルMOSトランジスタの製造工程を説明したが、これはイオン打ち込み工程でイオン種を変えることでそのままPチャネルMOSトランジスタの製造工程となる。

【0008】

ところで、MOSトランジスタの微細化及び高速動作化の要求から、ゲート領域及びソース/ドレイン領域を低抵抗化するために、ゲート領域及びソース/ドレイン領域表面を一括して自己整合的にシリサイド化するシリサイド(Salicide:Self-aligned

Silicide)技術が一般的となっている。この技術を採用すると、各電極表面がチタンシリサイド($TiSi_2$)やコバルトシリサイド($CoSi_2$)等の低抵抗シリサイドに被われてシート抵抗が低減される。

【0009】

しかしながら、Co膜を被着したSi基板に対して熱処理工程を実施した場合には、CoがSi基板中に拡散し、 $CoSi$ という化合物が形成される。この場合には、CoはSi基板中に残留する線状の残留欠陥を辿ることで容易に基板深くまで拡散する。また、Coは欠陥の周辺に凝集する傾向があり、結果的には欠陥部で Co_2Si がSi基板深くまで異常成長するという現象が発生する。異常成長した Co_2Si がウェルと拡散層とのP/Nジャンクション近傍まで到達すると、そこからジャンクションリークが発生する。

【0010】

この問題を解決するために、特許文献1においては、ソース、ドレインへの不純物打ち込みを2回に分けて行う手法を採用している。即ち、この提案においては、1回目の不純物打ち込みで、ソース、ドレインに深さが深く、濃度が薄い打ち込みを行う。これにより、ソース、ドレイン領域を低濃度化して残留欠陥を低減し、 Co_2Si の異常成長を抑制して、この異常成長に起因したジャンクションリークを抑えている。

【0011】

しかし、単純にソース、ドレイン領域を低濃度化しただけでは、上に形成される $CoSi_2$ 層との接触抵抗が高くなってしまう。そこで、特許文献1の発明

では、ソース、ドレインへの2回目の不純物打ち込みで、深さが浅く、濃度になるべく濃い打ち込みを行う。即ち、C o S i 2層の下に、残留欠陥を多く含む高濃度層を形成するのである。即ち、高濃度層中の全面に渡って多数の欠陥を発生させ、C o 2 S i の異常成長を高濃度層中の全面に渡って一様に発生させて終了させることで、一部のC o 2 S i が際立って深く成長することを防止している。これにより、より効果的にジャンクションリークを抑制するようになっている。

【0012】

なお、特許文献1においては、個々のC o 2 S i の異常成長を小さくするためには、2回目の高濃度層形成のためのイオン打ち込みは、最低でも 1×10^{15} 個/cm²以上のドーズ量で実施する必要があることが、開示されている。

【0013】

【特許文献1】

再公表特許WO99/16116

【0014】

【発明が解決しようとする課題】

ところで、濃い濃度の不純物の打ち込みによって、S i はアモルファス化してしまう。そこで、アモルファス化したS i の修復のため、また、注入した不純物の活性化のために、例えば1020℃のRTA（ラピッドサーマルアニール）が実施される。このアニールによって、固相エピタキシャル成長が生じて欠陥が修復される。しかし、固相エピタキシャル成長は面方位を有し、面方位<111>に沿って、微小な欠陥が残留する。

【0015】

一方、近年、シャロー・トレンチ・アイソレーション（以下、STIという）を用いた素子分離技術が採用されることがある。STIでは、素子の境界にトレンチ溝を形成しトレンチ溝内にS i O₂を埋め込んで、素子同士を分離する。

【0016】

ところが、高耐圧デバイスの製造のために、ゲート酸化工程において比較的厚膜なゲート領域を形成することがある。このようなゲート酸化工程では、STIのトレンチ溝内の酸化成長も促進され、シリコン基板内に大きなストレスを内在させてしまう。

【0017】

そうすると、ソース、ドレイン領域内の微小な残留欠陥を起点として、トレンチ溝の下端エッジ部との間で巨大転移ループが発生することがある。この巨大転移ループはP/Nジャンクションを横切って、リーク電流を発生させてしまうという問題点があった。

【0018】

本発明はかかる問題点に鑑みてなされたものであって、拡散層の濃度をなるべく低く形成するか又は拡散層を濃度が異なる2回の不純物打ち込みに分けて形成し、高濃度層の濃度をなるべく低く且つ高濃度層の深さを浅くすることより、ジャンクションリークの発生を防止することができる半導体装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の主面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、前記半導体領域の主面から前記第1の深さより浅い第2の深さまでの領域に形成される高濃度層とを具備したことを特徴とする。

【0020】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層は、低濃度層及び高濃度層を有する。低濃度層は、第1のドーズ量で他方導電型の第1の不純物を半導体領域内に打ち込み、主面から第1の深さまでの領域に形成される。一方、高濃度層は第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、主面から前記第1の深さより浅い第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/cm²以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることを防止することができる。これにより、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率が低減される。

【0021】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の主面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより0.15 μ m以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に形成される高濃度層とを具備したことを特徴とする。

【0022】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層は、低濃度層及び高濃度層を有し、低濃度層は、第1のドーズ量で他方導電型の第1の不純物を半導体領域内に打ち込み、主面から第1の深さまでの領域に形成される。一方、高濃度層は第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、濃度のピーク位置が第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さとなるように形成される。第1の深さ、即ち、P/Nジャンクションの位置と高濃度層の濃度のピーク位置とが $0.15\mu\text{m}$ 以上離れていることから、例えば高濃度層に残留欠陥が生じている場合でも、P/Nジャンクションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0023】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の主面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に形成される高濃度層とを具備したことを特徴とする。

【0024】

このような構成によれば、半導体領域には、ゲート絶縁膜上及びゲート電極が形成される。拡散層は低濃度層と高濃度層とを有し、低濃度層は第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、主面から第1の深さまでの領域に形成される。一方、高濃度層は、第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さの位置となるように形成される。即ち、高濃度層は、残留欠陥の発生が抑制されており、また、例えば発生したとしても残留欠陥からP/Nジャンクションまでの距離は $0.15\mu\text{m}$ 以上と十分に大きい。従って、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率を低減させることができる。

【0025】

また、前記一方導電型は、N型で、他方導電型は、P型であることを特徴とする。

【0026】

このような構成によれば、ジャンクションリークを低減したN型トランジスタが得られる。

【0027】

また、前記第2の不純物は、ヒ素であることを特徴とする。

【0028】

このような構成によれば、イオン打ち込みによって欠陥を生じやすいヒ素を不純物とする高濃度層であっても、残留欠陥の発生を抑制し、また、P/Nジャンクションから十分に離れた位置に残留欠陥が生じるので、ジャンクションリークを十分に低減することができる。

【0029】

また、前記半導体領域を素子分離するトレンチ構造を有することを特徴とする。

【0030】

このような構成によれば、高濃度層の残留欠陥を基点としてトレンチ構造のエッジ部との間で生じる巨大転移ループの発生を抑制することができ、ジャンクションリークを低減することができる。

【0031】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物を打ち込み、前記半導体領域の主面から前記第1の深さより浅い第2の深さまでの領域に高濃度層を形成する工程とを具備したことを特徴とする。

【0032】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する格納層のうち、先ず低濃度層が形成される。高濃度層は、第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込むことで、主面から前記第1の深さより浅い第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/cm²以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることを防止することができる。これにより、P/Nジャンク

ションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率が低減される。

【0033】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物を打ち込み、濃度のピーク位置が前記第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする。

【0034】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する拡散層のうち、先ず低濃度層が形成される。次に、第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで高濃度層が形成される。この場合には、高濃度層は、濃度のピーク位置が第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さとなるように形成される。従って、高濃度層に生じる残留欠陥とP/Nジャンクションとの距離は十分に大きく、P/Nジャンクションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0035】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を打ち込み、濃度のピーク位置が前記第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする。

【0036】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する格納層のうち、先ず低濃度層が形成される。高濃度層は、第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込むことで形成される。この場合には、高濃度層は、濃度のピーク位

置が第1の深さより0.15 μm 以上浅い第2の深さとなるように形成される。従って、高濃度層に残留欠陥が生じることが抑制され、また、残留欠陥が生じた場合でも、残留欠陥とP/Nジャンクションとの距離は十分に大きく、P/Nジャンクションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0037】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて形成される高濃度層とを具備したことを特徴とする。

【0038】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層となる高濃度層は、 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/ cm^2 以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることが防止することができる。これにより、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率が低減される。

【0039】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明の一実施の形態に係る半導体装置を模式的に示す断面図である。本実施の形態はNチャネル型MOSトランジスタ（NMOSトランジスタ）に適用したものである。

【0040】

図1の半導体装置はオフセット領域を有するNMOSトランジスタ100を含んでいる。NMOSトランジスタ100はトレンチ102によって素子分離されている。n型シリコン半導体基板101上にはpウェル領域103が形成されている。pウェル領域103上にはゲート酸化膜105を介してゲート電極106が形成されている。ゲート電極106の側壁にはサイドウォール領域108が形成されており、サイドウォール領域108の下方のpウェル領域103表面近傍には、 N^- オフセット領域107aが形成されている。そして、ゲート電極106及びサイドウォール領域108を除く領域の下方のpウェル領域103には、 P^+ ソース/ドレイン領域109が形成されている。ゲート電極106上及びソース/

ドレイン領域109上には、チタンシリサイド層111が形成されており、チタンシリサイド層111及びサイドウォール領域108上には保護膜112が形成されている。

【0041】

本実施の形態においては、P⁺ソース／ドレイン領域109は、半導体基板の主面からの深さ（以下、単に深さという）が深く不純物濃度が低い低濃度層109aと、深さが浅く不純物濃度が高い高濃度層109bとによって構成されている。そして、本実施の形態においては、高濃度層109bを形成するための不純物打ち込み工程（以下、浅い打ち込み工程という）におけるドーズ量は 1×10^{15} 個/cm²以下に設定されている。なお、浅い打ち込み工程におけるドーズ量は、低濃度層109aを形成するための不純物打ち込み工程（以下、深い打ち込み工程という）におけるドーズ量以上に設定する。

【0042】

また、低濃度層109aの深さによって規定されるP／Nジャンクションまでの深さと高濃度層109bにおける不純物濃度のピーク位置の深さとの差、即ち、高濃度層109bにおける不純物濃度のピーク位置とP／Nジャンクションとの間の長さが0.15μm以上となるように設定されている。

【0043】

このように構成された実施の形態においては、低濃度層109aによってP／Nジャンクションの深さが規定され、高濃度層109bの濃度によって、拡散抵抗値が規定される。また、低濃度層109aは十分に低い不純物濃度に設定されており、Siのアモルファス化及び不純物注入のためのアニール処理において残留欠陥が発生することは殆ど無い。

【0044】

本実施の形態においては、高濃度層109bは、浅い打ち込み工程におけるドーズ量が 1×10^{15} 個/cm²以下に設定されており、Siのアモルファス化及び不純物注入のためのアニール処理において残留欠陥の発生を十分に抑制することができる。これにより、ゲート酸化膜105の膜厚を比較的厚く形成してトレンチ102の酸化成長が促進された場合でも、高濃度層109bに発生する残留欠陥を起点とする巨大転移ループの発生が抑制され、ジャンクションリークの発生確率を著しく低減することができる。

【0045】

また、高濃度層109bにおける不純物濃度のピーク位置とP／Nジャンクションとの間の長さは0.15μm以上に設定されている。従って、例えば高濃度層109bに残留欠陥が存在していても、この残留欠陥からP／Nジャンクションまでの長さが十分に長いので、P／Nジャンクションを横切る巨大転移ル

ープの発生が阻止されて、ジャンクションリークの発生確率は更に低減される。

【0046】

従って、本実施の形態におけるNMOSトランジスタ100を用いてICを構成した場合には、ICの待機時リーク電流を十分に抑制することができ、低消費電力化に極めて有効である。

【0047】

なお、上記実施の形態においては、NMOSトランジスタを例に説明したが、PMOSトランジスタについても同様に構成することができることは明らかである。

【0048】

次に、図1の半導体装置のNMOSトランジスタ100の部分の製造方法について図2乃至図9を参照して説明する。図2乃至図9は製造方法を断面構造によって工程順に示す工程図である。

【0049】

先ず、比抵抗率 $10\Omega\cdot\text{cm}$ のn形シリコン半導体基板101の表面を95%水蒸気雰囲気中で 900°C 、30分間の熱処理により膜厚50nmの図示しない酸化膜を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが、異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法により硼素(B)を注入する。硼素(B)原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして 1×10^{13} 個/ cm^2 である。

【0050】

次に、窒素雰囲気中で熱拡散を行う。拡散温度は 1100°C 、拡散時間は7時間である。この熱処理により、深さ $2.5\mu\text{m}$ のpウェル領域103が形成される。

【0051】

次に、n型シリコン半導体基板101の表面上に形成した酸化膜をエッチング除去し、再度熱酸化処理により酸化膜(図示せず)を形成する。この酸化膜は、イオン打ち込み工程で打ち込んだイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。

【0052】

次に、MOSデバイスの閾値電圧を調整するための硼素(B)イオンの打ち込みを行う。硼素(B)原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして 3×10^{12} 個/ cm^2 である。

【0053】

次に、n型シリコン半導体基板101の表面に形成した酸化膜を緩衝弗酸でエッチング除去した後、95%水蒸気雰囲気中で820℃、15分間の熱処理により膜厚15nmのゲート酸化膜層105aを形成する。図2はこの状態を示している。

【0054】

次に、CVD法により、燐(P)ドーパポリシリコンを400nm堆積してゲート電極層10aを形成する(図3)。次に、通常の写真リソグラフ・エッチング工程により、0.7μm幅のゲート電極106を形成する(図4)。

【0055】

次に、図4に示すように、燐(P)イオン打ち込み工程により、LDD領域107を形成する。なお、加速エネルギーは30keV、イオン打ち込み量はイオン数にして 1×10^{13} 個/cm²である。

【0056】

次に、シランと笑気を原料ガスとしたCVD法によって、酸化シリコン(SiO₂)を全面に堆積させる。次いで、この酸化シリコン及びゲート絶縁膜層105aの一部を異方性のドライエッチングによってエッチング除去し、図5に示すように、幅0.3μmのサイドウォール領域108を形成する。

【0057】

次に、ソース/ドレイン領域109を形成する。本実施の形態においては、ソース/ドレイン領域の形成工程は、2回のイオン打ち込み工程に分けて行われる。即ち、先ず、低濃度層109aを形成するための不純物打ち込み工程(深い打ち込み工程)を実施する。この工程では、例えば、燐(P)イオンを65keVの加速エネルギーで、ドーズ量を 3.5×10^{13} 個/cm²に設定してイオン打ち込みを行う。これにより、図6に示すように、深さが深い低濃度層109aが形成される。

【0058】

次に、高濃度層109bを形成するための浅い打ち込み工程を実施する。この工程では、例えば、ヒ素(As)イオンを40keVの加速エネルギーで、ドーズ量を 1×10^{15} 個/cm²に設定してイオン打ち込みを行う。これにより、図7に示すように、深さが浅い高濃度層109bが形成される。

【0059】

次に、高融点金属のチタン膜をスパッタ法を用いて形成する。続けて、熱処理を行うと、チタンと下地のポリシリコンとが反応し、チタンシリサイド層111が形成される。そして、チタンの選択エッチングを行うと、酸化膜上でのチタンは除去される(図8)。

【0060】

次に、アニール処理を行い、不純物を活性化させ、NMOSトランジスタ100が形成される。最後に、保護膜又は層間絶縁膜として、窒化シリコン(Si₃N₄)の膜112を全面に亘って堆積させる(図9)。なお、膜112としては、NMOSトランジスタ100の上に、まず酸化シリコン(SiO₂)の層を形成し、その上に積層するように、窒化シリコンの膜を形成するようにしてもよい。

【0061】

図10はソース／ドレイン領域109近傍を拡大して示す説明図であり、図11は横軸に深さをとり縦軸に不純物濃度をとって、ソース／ドレイン領域109における濃度分布を示すグラフである。

【0062】

拡散層形成工程における最初の深い打ち込み工程による不純物の濃度分布を、図11の曲線C1にて示す。濃度THはpウェル領域103の不純物濃度である。曲線C1の濃度が濃度THに到達した位置の深さx1がP／Nジャンクションの深さに相当する。図10において、深さx1は、深い打ち込み工程において形成された低濃度層109aとpウェル領域103との境界(P／Nジャンクション)位置を示している。

【0063】

一方、浅い打ち込み工程による不純物の濃度分布を、図11の曲線C2にて示す。図11の深さx2は、高濃度層109bにおける濃度のピーク位置を示している。浅い打ち込みは、ドーズ量が 1×10^{15} 個/cm²に設定されており、拡散層の活性化のためにアニール処理が行われた場合でも、残留欠陥の発生は著しく少ない。

【0064】

深さx1と深さx2との差($x1 - x2$) = R2は、P／Nジャンクションから高濃度層109bにおける不純物濃度のピーク位置までの間の長さであり、上述した深い打ち込み工程及び浅い打ち込み工程におけるイオン加速エネルギー及びドーズ量の設定によって、0.15μm以上の長さに制御されている。図10はP／Nジャンクションから高濃度層109bにおける不純物濃度のピーク位置までの間の長さを示している。高濃度層109bに生じる残留欠陥は、図10の破線よりも半導体基板主面側に生じる。即ち、たとえ高濃度層109bに残留欠陥が生じている場合でも、残留欠陥はP／Nジャンクションから十分に離間した位置に生じるので、ジャンクションリークの発生確率は極めて小さい。

【0065】

このように本実施の形態においては、トランジスタのソース／ドレイン領域形

成のための不純物打ち込み工程を、深さが深く不純物濃度が低い打ち込み工程と深さが浅く不純物濃度が高い打ち込み工程との2工程に分け、浅い打ち込み工程のドーズ量を 1×10^{15} 個/ cm^2 以下に制御すると共に、深い打ち込みによって形成されたP/Nジャンクションと浅い打ち込みによって形成された高濃度層の不純物濃度のピーク位置との間の長さを $0.15 \mu\text{m}$ 以上となるように制御している。これにより、拡散層の活性化のためにアニール処理が行われた場合でも、高濃度層に残留欠陥が発生することを防止し、また、たとえ残留欠陥が発生したとしても、P/Nジャンクションから残留欠陥までの距離が十分大きいので、巨大転移ループの発生を抑制してジャンクションリークが生じる確率を著しく低減することができる。

【0066】

なお、上記実施の形態においては、ソース/ドレイン領域を形成するための2回のイオン打ち込み工程では、先に深さが深く不純物濃度が低い打ち込み工程を実施し、次に深さが浅く不純物濃度が高い打ち込み工程を実施したが、浅い打ち込み工程を先に実施し、深い打ち込み工程を後から実施してもよい。

【0067】

更に、ドーズ量が 1×10^{15} 個/ cm^2 以下の1回のイオン打ち込み工程によって、ソース/ドレイン領域を形成するようにしてもよい。

【0068】

また、上記実施の形態においては、NMOSトランジスタを例に説明したが、添加する不純物等を変えてPチャネルMOSトランジスタにも同様に適用することができることは明らかである。

【0069】

例えば、PチャネルMOSトランジスタに適用する場合には、深さが深く不純物濃度が低い打ち込み工程では、硼素(B)イオンを 8keV の加速エネルギーで、ドーズ量を 1.5×10^{15} 個/ cm^2 に設定してイオン打ち込みを行う。そして、次いで、深さが浅く不純物濃度が高い打ち込み工程では、フッ化硼素(BF₂)イオンを 25keV の加速エネルギーで、ドーズ量を 5×10^{14} 個/ cm^2 に設定してイオン打ち込みを行う。

【0070】

本発明は、浅く濃い打ち込み工程において、ドーズ量を 1×10^{15} 個/ cm^2 以下に制御する点、及び、P/Nジャンクションから高濃度層における不純物濃度のピーク位置までの長さを $0.15 \mu\text{m}$ 以上に制御する点を除けば、添加する不純物、加速エネルギー及びドーズ量等のイオン打ち込み条件は適宜変更可能である。

【0071】

(実施例)

上記実施の形態におけるNMOSトランジスタを採用して1Mビット程度のSRAMを混載したロジックIC製品を構成して、リーク電流のメジアン値を求めた。図12はこの実験結果を示すものである。

【0072】

ソース／ドレイン領域形成工程の条件として、浅い打ち込み工程におけるヒ素（As）の注入量を変化させ、各注入量毎に、深い打ち込み工程のリン（P）の加速エネルギー及び浅い打ち込み工程のヒ素（As）の加速エネルギーを変化させて、浅い打ち込み工程における不純物のドーズ量とICの待機時リーク電流のメジアン値との関係を求めた。

【0073】

図12はこの実験結果に基づいてヒ素（As）のドーズ量とICの待機時リーク電流のメジアン値との関係を示すグラフである。また、図12ではヒ素Asの深さ（注入エネルギー）と深い打ち込みとしてのリン（P）の注入条件との組み合わせの例も示している。なお、図中、R2はP／Nジャンクションとヒ素（As）の打ち込み工程で形成された高濃度層の濃度ピーク位置との間の距離を示す。

【0074】

図12から明らかなように、リーク電流は浅い打ち込み工程によるヒ素（As）の注入量に依存しており、ドーズ量が 1×10^{15} 個/cm²以下になると急激にリーク電流が低下していることが分かる。また、浅い打ち込み工程と、リン（P）を用いた深い打ち込み工程とを組み合わせた場合には、破線の条件に対して、高濃度層の濃度ピーク位置をより浅い位置に制御することにより、点線に示すように、リーク電流を改善することができる。更にリン（P）を用いた深い打ち込み工程の加速エネルギーを増加させて、P／Nジャンクションを深くすることにより、実線に示すように、リーク電流の更なる改善効果が得られた。即ち、これは、浅い打ち込み工程による高濃度層の不純物濃度のピーク位置とP／Nジャンクションとの間の距離を0.15μm以上とすることによる効果であることを示している。

【0075】

本実施例によって、実験に用いたロジック製品のリーク電流を、安定して1μA以下に低下させることができた。

【0076】

従って、本発明を用いて製品を構成すれば、リーク電流を抑制して低消費電力化を実現することができる。つまり、本発明のNMOSトランジスタを利用した製品においてスタンバイ電流を低減させることができ、携帯機器等のバッテリーを利用する製品において極めて有用である。

【0077】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【図面の簡単な説明】

【図1】 本発明の一実施の形態に係る半導体装置を模式的に示す断面図。

【図2】 製造方法を断面構造によって工程順に示す工程図。

【図3】 製造方法を断面構造によって工程順に示す工程図。

【図4】 製造方法を断面構造によって工程順に示す工程図。

【図5】 製造方法を断面構造によって工程順に示す工程図。

【図6】 製造方法を断面構造によって工程順に示す工程図。

【図7】 製造方法を断面構造によって工程順に示す工程図。

【図8】 製造方法を断面構造によって工程順に示す工程図。

【図9】 製造方法を断面構造によって工程順に示す工程図。

【図10】 ソース／ドレイン領域109近傍を拡大して示す説明図。

【図11】 ソース／ドレイン領域109における濃度分布を示すグラフ。

【図12】 実験結果を示すグラフ

【図13】 従来例を示す工程図。

【符号の説明】

100…NMOSトランジスタ、101…n型シリコン半導体基板、103…pウェル領域、105…ゲート酸化膜、106…ゲート電極、109…ソース／ドレイン領域、109a…低濃度層、109b…高濃度層。

【書類名】 要約書

【要約】

【課題】 ジャンクションリークの発生を抑制してリーク電流の低減を図る。

【解決手段】

一方導電型の不純物が導入された半導体領域103と、前記半導体領域103上に形成されるゲート絶縁膜105と、前記ゲート絶縁膜105上に形成されるゲート電極106と、前記半導体領域103内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域103の主面から第1の深さまでの領域に形成される低濃度層109aと、前記半導体領域103内に前記第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、前記半導体領域103の主面から前記第1の深さより浅い第2の深さまでの領域に形成される高濃度層109bとを具備したことを特徴とする。

【選択図】 図1